**东南大学电工电子实验中心**

**实 验 报 告**

**课程名称： 电工电子实践基础**

**第 7 次实验**

**实验名称： 计数器电路设计**

**院 （系）： 机械工程学院 专 业： 机械工程专业**

**姓 名： 杨新雄 学 号： 02021202**

**实 验 室: 105 实验组别： 02**

**同组人员： 实验时间：2023年6月6日**

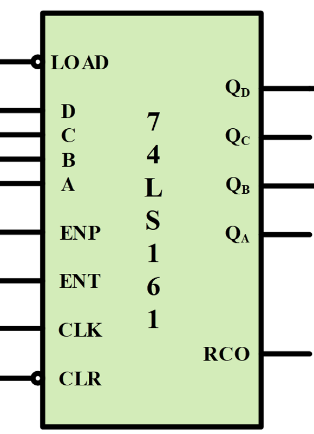
**评定成绩： 审阅教师：**

# 计数器电路设计

1. **实验目的**
2. 时序逻辑电路的设计和调试方法；
3. 集成计数器等中规模集成时序逻辑电路的使用方法。
4. **实验原理**
5. **74LS161计数器**

特点：

* CLR=0时异步清零；
* CLR=1、LOAD=0时同步置数；
* CLR=LOAD=1且ENT=ENP=1时，按照4位二进制码进行同步计数；
* CLR=LOAD=1且ENT·ENP=0时，计数器状态保持不变。

表格

低可信度描述已自动生成

图 1 74LS161模型图与引脚图

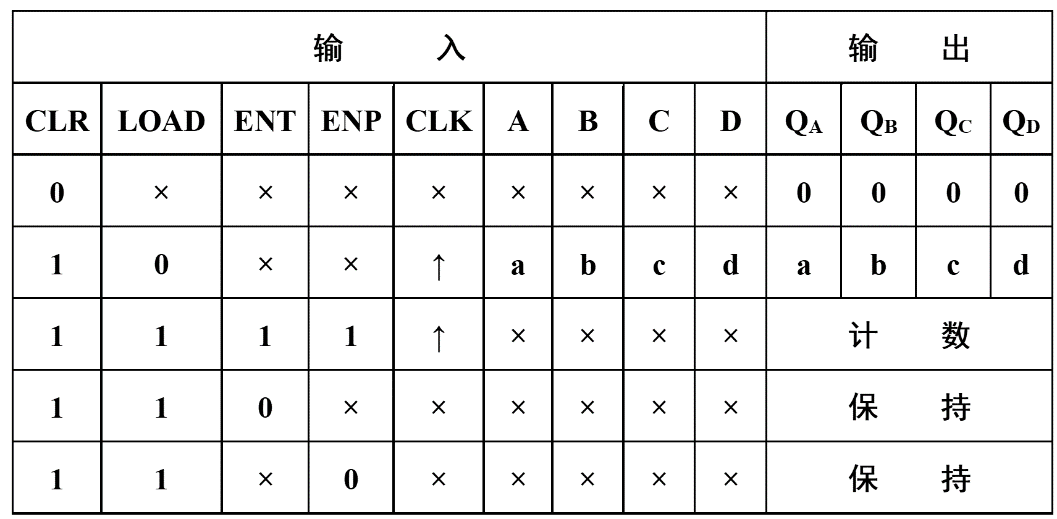


图 2 74LS161真值表

使用74LS161实现任意进制方法：

1. 异步清零法：将需要清零时刻的数中“1”进行“与非”运算接入CLR清零端



图 3 异步清零法（模十计数器）

1. 同步置零法：将需要清零时刻的数的前一个数中“1”进行“与非”运算接入LOAD端



图 4 同步置零法（模十计数器）

1. 同步置数法：将RCO进位端“非”运算接入LOAD端，ABCD端置数“0110”



图 5 同步置数法（模十计数器）

1. **计数器型序列发生器**

在数字信号的传输和数字系统的测试中，有时需要用到一组特定的串行数字信号，通常把这种串行数字信号叫做*序列信号*。能够循环地产生序列信号的电路称为*序列信号发生器*。

计数器型序列发生器：由计数器和组合网络构成，某些特定的序列也可以直接由计数器产生，可以产生一组或多组二值序列。

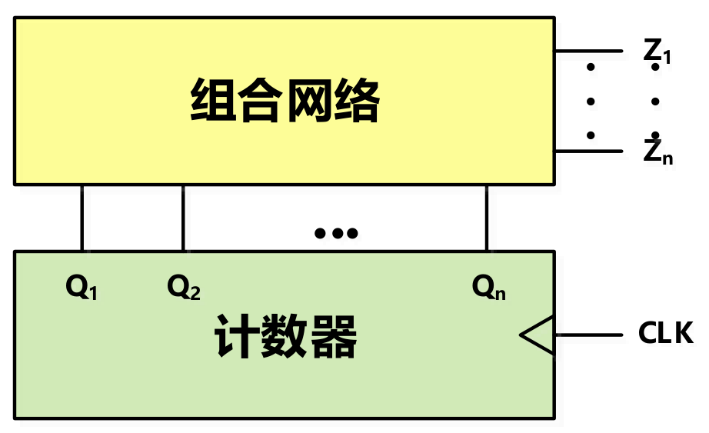


图 6 计数器型序列发生器概念图

常用设计方法：

* 根据序列码的长度M设计模M计数器（状态可以自定）
* 根据计数器的状态变化和给定的序列码，设计输出组合网络

1. **实验内容**
2. **设计简易数字钟**

设已有周期为1min和周期为1h的时钟脉冲，要求用74LS161设计数字钟的“分”（0～59）或“时”（0～23）的计时电路，搭试电路进行静态验证，并动态观察且记录“分”或“时”计时电路中的时钟脉冲及计数器各输出端的波形。

设计思路：分钟计数器需要设计一个模“60”的计数器，而时钟计数器需要设计一个模“24”的计数器。

模“60”的计数器可以由两片74LS161芯片分别为模六、模十连接形成，如图7所示。该计数器采用的是同步置零法，模十计数器在计数到9时置零信号传输给LOAD端，使下次计数置为0，并向高位的模六计数器发送进位信号；模六计数器在接收到进位信号时计数，计数至5时，并且在接收到低位的进位信号时将置零信号传输给LOAD端，使下次计数置0。



图 7 分钟计数器

模“24”的计数器可以由两片74LS161芯片分别为模三、模十连接形成，如图8所示。该计数器采用的是同步置零法，模十计数器在计数到9时置零信号传输给LOAD端，使下次计数置为0，并向高位的模三计数器发送进位信号；模三计数器在接收到进位信号时计数，计数至2时，并且在接收到低位计数为3的信号时将置零信号传输给LOAD端，使下次计数置0。



图 8 时钟计数器

将计数器连接时，还需要考虑计数器之间的级联：

* 59分，小时的低位+1
* 9时59分，小时的高位+1
* 23时59分，小时的高低位均置0

完整连接电路原理图：



图 9 简易时钟电路原理图



图 10 multisim仿真电路

实验结果：

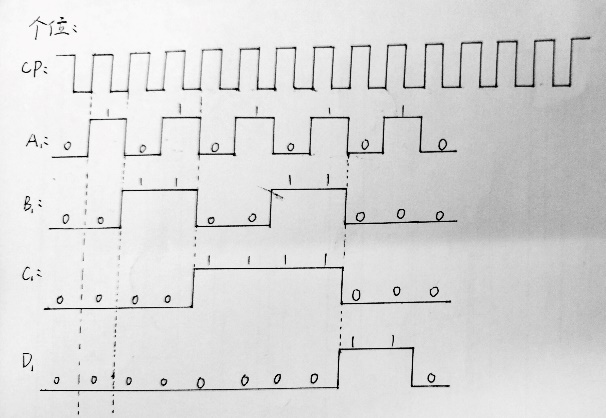


图 11 分钟个位

图示

描述已自动生成

图 12 分钟十位

1. **设计序列发生器**

用74LS161计数器设计一个01011序列信号发生器， 搭接电路进行静态验证，并动态观察且记录时钟脉冲CLK、序列输出端的波形。

设计思路：序列码长度为5，需要一个模5的计数器。而计数器的优点是排除了冗余状态影响，不需要考虑自启动问题。

表格 1 序列发生器真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 顺序 |  |  |  | Y |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 2 | 0 | 1 | 0 | 0 |
| 3 | 0 | 1 | 1 | 1 |
| 4 | 1 | 0 | 0 | 1 |

通过观察74LS161计数器的计数真值表发现可以通过12~15→11→12的信号端来产生01011序列的信号，如图13所示。该电路通过计数由12计数到15，然后进位时同步置数“1011”，使得计数变为11，然后继续从11计数到15.而“01011”序列信号由端输出。



图 13 01011序列发生器



图 14 multisim仿真电路图

实验结果：

图示

描述已自动生成

图 15 序列信号波形

1. **实验总结**
2. **实验出现的问题**
3. 设计时钟计数器电路时，信号显示错误，数字出现顺序混乱。

主要原因：信号指示灯的引脚接入电路顺序错误，更改连接顺序即可。

1. 设计的序列信号发生器产生的信号不为预设的信号。

主要原因：逻辑门芯片未接地使用，电路连接错误，重新检查电路即可解决。

1. **收获体会**

通过本次实验，我学会了如何使用74LS161设计一个简易时钟计数器，知道了74LS161实现任意进制计数器的设计方法，掌握了设计中规模集成时序逻辑电路的思路和具体步骤，强化了我搭接电路、排查各种问题的能力。

1. **实验建议（欢迎大家提出宝贵意见）**

无